



日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日      2 0 0 3 年   3 月 2 4 日  
Date of Application:

出 願 番 号      特 願 2 0 0 3 - 0 8 1 2 2 1  
Application Number:  
[ST. 10/C]:      [ J P 2 0 0 3 - 0 8 1 2 2 1 ]

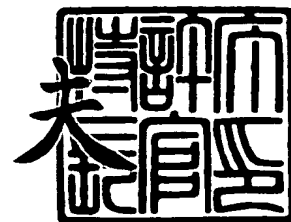
出      願      人      セイコーエプソン株式会社  
Applicant(s):



2 0 0 3 年 1 1 月 2 1 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康



【書類名】 特許願

【整理番号】 J0097430

【提出日】 平成15年 3月24日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 25/065

【発明者】

    【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

    【氏名】 青▲柳▼ 哲理

【特許出願人】

    【識別番号】 000002369

    【氏名又は名称】 セイコーエプソン株式会社

【代理人】

    【識別番号】 100066980

    【弁理士】

    【氏名又は名称】 森 哲也

【選任した代理人】

    【識別番号】 100075579

    【弁理士】

    【氏名又は名称】 内藤 嘉昭

【選任した代理人】

    【識別番号】 100103850

    【弁理士】

    【氏名又は名称】 崔 秀▲てつ▼

【手数料の表示】

    【予納台帳番号】 001638

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

【物件名】 図面 1  
【物件名】 要約書 1  
【包括委任状番号】 0014966  
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置、半導体パッケージ、電子デバイス、電子機器、半導体装置の製造方法および電子デバイスの製造方法

【特許請求の範囲】

【請求項 1】 突出電極の接合面積が互いに異なる複数の第 1 接合面が形成された第 1 半導体パッケージと、

前記第 1 接合面にそれぞれ対向配置され、前記突出電極の接合面積が互いに異なる複数の第 2 接合面が形成された第 2 半導体パッケージとを備えることを特徴とする半導体装置。

【請求項 2】 前記接合面積は、前記突出電極が接合されるランド上の絶縁膜の開口面積であることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記接合面積は、前記半導体パッケージの中央部から外周部に向かって徐々に変化していることを特徴とする請求項 1 または 2 記載の半導体装置。

【請求項 4】 前記第 1 半導体パッケージと前記第 2 半導体パッケージとの間の間隔が広くなるに従って、前記第 1 接合面の接合面積および前記第 2 接合面の接合面積が徐々に小さくなっていることを特徴とする請求項 1～3 のいずれか 1 項記載の半導体装置。

【請求項 5】 前記複数の接合面にそれぞれ接合される突出電極の体積は実質的に同一であることを特徴とする請求項 1～4 のいずれか 1 項記載の半導体装置。

【請求項 6】 第 1 半導体パッケージと、  
体積が互いに異なる複数の突出電極をそれぞれ介し、前記第 1 半導体パッケージ上に積層された第 2 半導体パッケージとを備えることを特徴とする半導体装置。

【請求項 7】 前記突出電極の体積は、前記半導体パッケージの中央部から外周部に向かって徐々に変化していることを特徴とする請求項 6 記載の半導体装置。

【請求項 8】 前記第 1 半導体パッケージと前記第 2 半導体パッケージとの

間の間隔が広くなるに従って、前記突出電極の体積が徐々に大きくなっていることを特徴とする請求項 7 記載の半導体装置。

【請求項 9】 前記突出電極は、導電性ペーストの量が異なることを特徴とする請求項 6～8 のいずれか 1 項記載の半導体装置。

【請求項 10】 前記第 1 半導体パッケージは、  
第 1 キャリア基板と、  
前記第 1 キャリア基板上にフリップチップ実装された第 1 半導体チップとを備え、

前記第 2 半導体パッケージは、  
前記突出電極を介し、前記第 1 半導体チップ上に保持されるように前記第 1 キャリア基板上に実装された第 2 キャリア基板と、  
前記第 2 キャリア基板上に搭載された第 2 半導体チップと、  
前記第 2 半導体チップを封止する封止材とを備えることを特徴とする請求項 1～9 のいずれか 1 項記載の半導体装置。

【請求項 11】 前記第 1 半導体パッケージは、前記第 1 キャリア基板上に前記第 1 半導体チップがフリップチップ実装されたボールグリッドアレイ、前記第 2 半導体パッケージは、前記第 2 キャリア基板上に搭載された第 2 半導体チップがモールド封止されたボールグリッドアレイまたはチップサイズパッケージであることを特徴とする請求項 10 記載の半導体装置。

【請求項 12】 突出電極の接合面積が互いに異なる複数の第 1 接合面が形成された第 1 キャリア基板と、  
前記第 1 キャリア基板上にフリップチップ実装された第 1 電子部品と、  
前記第 1 接合面に対向配置され、前記突出電極の接合面積が互いに異なる複数の第 2 接合面が形成された第 2 キャリア基板と、  
前記第 2 キャリア基板上に搭載された第 2 電子部品と、  
前記第 2 電子部品を封止する封止材とを備えることを特徴とする電子デバイス。

【請求項 13】 第 1 キャリア基板と、  
前記第 1 キャリア基板上にフリップチップ実装された第 1 電子部品と、

体積が互いに異なる複数の突出電極をそれぞれ介し、前記第 1 電子部品上に保持されるように前記第 1 キャリア基板上に実装された第 2 キャリア基板と、  
前記第 2 キャリア基板上に搭載された第 2 電子部品と、  
前記第 2 電子部品を封止する封止材とを備えることを特徴とする電子デバイス。

【請求項 14】 自パッケージに接続される相手方のパッケージの反りに対応して、自パッケージに接合される突出電極の接合面の接合面積が変化していることを特徴とする半導体パッケージ。

【請求項 15】 突出電極の接合面積が互いに異なる複数の第 1 接合面が形成された第 1 半導体パッケージと、  
前記第 1 接合面に対向配置され、前記突出電極の接合面積が互いに異なる複数の第 2 接合面が形成された第 2 半導体パッケージと、  
前記第 2 半導体パッケージが実装されたマザー基板とを備えることを特徴とする電子機器。

【請求項 16】 第 1 半導体パッケージと、  
体積が互いに異なる複数の突出電極をそれぞれ介し、前記第 1 半導体パッケージ上に積層された第 2 半導体パッケージと、  
前記第 2 半導体パッケージが実装されたマザー基板とを備えることを特徴とする電子機器。

【請求項 17】 第 1 半導体パッケージに設けられた第 1 ランド上の絶縁膜に開口面積の異なる第 1 開口部を形成する工程と、  
第 2 半導体パッケージに設けられた第 2 ランド上の絶縁膜に開口面積の異なる第 2 開口部を形成する工程と、  
前記第 2 開口部が形成された第 2 ランド上に突出電極を形成する工程と、  
前記第 2 ランド上に形成された突出電極を前記第 1 ランド上に接合することにより、前記第 1 半導体パッケージ上に前記第 2 半導体パッケージを積層する工程とを備えることを特徴とする半導体装置の製造方法。

【請求項 18】 マスク厚が異なる印刷面を有する印刷マスクを介して導電材を塗布することにより、厚みの異なる導電材を第 1 半導体パッケージ上に形成

する工程と、

第2半導体パッケージに突出電極を形成する工程と、

前記第2半導体パッケージに形成された突出電極を、前記導電材を介して前記第1半導体パッケージに接合することにより、前記第1半導体パッケージ上に前記第2半導体パッケージを積層する工程とを備えることを特徴とする半導体装置の製造方法。

【請求項19】 導電材の塗布量を制御することにより、厚みの異なる導電材を第1半導体パッケージ上に形成する工程と、

第2半導体パッケージに突出電極を形成する工程と、

前記第2半導体パッケージに形成された突出電極を、前記導電材を介して前記第1半導体パッケージに接合することにより、前記第1半導体パッケージ上に前記第2半導体パッケージを積層する工程とを備えることを特徴とする半導体装置の製造方法。

【請求項20】 第1キャリア基板に設けられた第1ランド上の絶縁膜に開口面積の異なる第1開口部を形成する工程と、

前記第1キャリア基板上に第1電子部品を実装する工程と、

第2キャリア基板に設けられた第2ランド上の絶縁膜に開口面積の異なる第2開口部を形成する工程と、

前記第2キャリア基板上に第2電子部品を実装する工程と、

前記第2開口部が形成された第2ランド上に突出電極を形成する工程と、

前記第2ランド上に形成された突出電極を前記第1ランド上に接合することにより、前記第1キャリア基板上に前記第2キャリア基板を積層する工程とを備えることを特徴とする電子デバイスの製造方法。

【請求項21】 第1キャリア基板上に第1電子部品を実装する工程と、

マスク厚が異なる印刷面を有する印刷マスクを介して導電材を塗布することにより、厚みの異なる導電材を前記第1キャリア基板上に形成する工程と、

第2キャリア基板上に第2電子部品を実装する工程と、

前記第2電子部品が実装された第2キャリア基板に突出電極を形成する工程と

、

前記第 2 キャリア基板に形成された突出電極を、前記導電材を介して前記第 1 キャリア基板に接合することにより、前記第 1 キャリア基板上に前記第 2 キャリア基板を積層する工程とを備えることを特徴とする電子デバイスの製造方法。

【請求項 22】 第 1 キャリア基板上に第 1 電子部品を実装する工程と、導電材の塗布量を制御することにより、厚みの異なる導電材を前記第 1 キャリア基板上に形成する工程と、

第 2 キャリア基板上に第 2 電子部品を実装する工程と、

前記第 2 電子部品が実装された第 2 キャリア基板に突出電極を形成する工程と

、  
前記第 2 キャリア基板に形成された突出電極を、前記導電材を介して前記第 1 キャリア基板に接合することにより、前記第 1 キャリア基板上に前記第 2 キャリア基板を積層する工程とを備えることを特徴とする電子デバイスの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置、半導体パッケージ、電子デバイス、電子機器、半導体装置の製造方法および電子デバイスの製造方法に関し、特に、半導体パッケージなどの積層構造に適用して好適なものである。

【0002】

【従来の技術】

従来の半導体装置では、半導体チップの 3 次元実装を実現するため、例えば、特許文献 1 に開示されているように、金属ボールを介し、半導体チップが実装されたパッケージを積層する方法がある。

【0003】

【特許文献 1】

特開平 11-307717 号公報

【0004】

【発明が解決しようとする課題】

しかしながら、半導体チップをパッケージに実装すると、半導体チップとパッ



ケージとの間の線膨張係数などの違いから、パッケージに反りが発生する。このため、金属ボールを介してパッケージを積層する方法では、パッケージに反りが発生すると、パッケージ同士の間隔にバラツキが発生し、金属ボールの接合強度が劣化して、3次元実装時の接続信頼性が劣化するという問題があった。

#### 【0005】

そこで、本発明の目的は、パッケージの反りを考慮しつつ、3次元実装時の接続信頼を向上させることが可能な半導体装置、半導体パッケージ、電子デバイス、電子機器、半導体装置の製造方法および電子デバイスの製造方法を提供することである。

#### 【0006】

##### 【課題を解決するための手段】

上述した課題を解決するために、本発明の一態様に係る半導体装置によれば、突出電極の接合面積が互いに異なる複数の第1接合面が形成された第1半導体パッケージと、前記第1接合面にそれぞれ対向配置され、前記突出電極の接合面積が互いに異なる複数の第2接合面が形成された第2半導体パッケージとを備えることを特徴とする。

#### 【0007】

これにより、第1接合面および第2接合面の両面で突出電極の広がり制御することが可能となり、第1接合面と第2接合面との間に接合された突出電極の太さを調整することが可能となる。このため、第1半導体パッケージと第2半導体パッケージとの間隔にバラツキがある場合においても、突出電極の括れを抑制することができ、第1半導体パッケージと第2半導体パッケージとの間の接続信頼性を向上させることが可能となる。

#### 【0008】

また、本発明の一態様に係る半導体装置によれば、前記接合面積は、前記突出電極が接合されるランド上の絶縁膜の開口面積であることを特徴とする。

これにより、ランド上に形成された絶縁膜の開口パターンを変更することで、突出電極の接合面積を変化させることが可能となり、製造工程を複雑化させることなく、第1接合面と第2接合面との間に接合された突出電極の太さを調整する

ことが可能となる。

【0009】

また、本発明の一態様に係る半導体装置によれば、前記接合面積は、前記半導体パッケージの中央部から外周部に向かって徐々に変化していることを特徴とする。

これにより、第1半導体パッケージおよび第2半導体パッケージの一方または双方に反りが発生した場合においても、突出電極の括れを抑制しつつ、第1接合面と第2接合面との間に突出電極を接合させることが可能となる。

【0010】

また、本発明の一態様に係る半導体装置によれば、前記第1半導体パッケージと前記第2半導体パッケージとの間の間隔が広くなるに従って、前記第1接合面の接合面積および前記第2接合面の接合面積が徐々に小さくなっていることを特徴とする。

これにより、第1半導体パッケージと第2半導体パッケージとの間の間隔が広い領域では、第1接合面および第2接合面の両面で突出電極の広がり抑制することが可能となり、第1半導体パッケージと第2半導体パッケージとの間で突出電極を太らせることが可能となる。このため、第1半導体パッケージおよび第2半導体パッケージの一方または双方に反りが発生した場合においても、第1半導体パッケージと第2半導体パッケージとの間における突出電極の括れを抑制して、第1半導体パッケージと第2半導体パッケージとの間の接続信頼性を向上させることが可能となる。

【0011】

また、本発明の一態様に係る半導体装置によれば、前記複数の接合面にそれぞれ接合される突出電極の体積は実質的に同一であることを特徴とする。

これにより、第1半導体パッケージおよび第2半導体パッケージの一方または双方に反りが発生した場合においても、突出電極の大きさを変更することなく、突出電極の括れを抑制することが可能となり、生産効率を劣化させることなく、第1半導体パッケージと第2半導体パッケージとの間の接続信頼性を向上させることが可能となる。

**【0012】**

また、本発明の一態様に係る半導体装置によれば、第1半導体パッケージと、体積が互いに異なる複数の突出電極をそれぞれ介し、前記第1半導体パッケージ上に積層された第2半導体パッケージとを備えることを特徴とする。

これにより、第1半導体パッケージと第2半導体パッケージとの間の突出電極の太さを調整することが可能となり、第1半導体パッケージと第2半導体パッケージとの間の間隔にバラツキがある場合においても、突出電極の括れを抑制して、第1半導体パッケージと第2半導体パッケージとの間の接続信頼性を向上させることが可能となる。

**【0013】**

また、本発明の一態様に係る半導体装置によれば、前記突出電極の体積は、前記半導体パッケージの中央部から外周部に向かって徐々に変化していることを特徴とする。

これにより、第1半導体パッケージおよび第2半導体パッケージの一方または双方に反りが発生した場合においても、突出電極の括れを抑制しつつ、第1半導体パッケージと第2半導体パッケージとを接続することが可能となる。

**【0014】**

また、本発明の一態様に係る半導体装置によれば、前記第1半導体パッケージと前記第2半導体パッケージとの間の間隔が広くなるに従って、前記突出電極の体積が徐々に大きくなっていることを特徴とする。

これにより、第1半導体パッケージと第2半導体パッケージとの間の間隔が広い領域では、第1半導体パッケージと第2半導体パッケージとの間の突出電極を太らせることが可能となり、第1半導体パッケージおよび第2半導体パッケージの一方または双方に反りが発生した場合においても、第1半導体パッケージと第2半導体パッケージとの間における突出電極の括れを抑制することが可能となる。

**【0015】**

また、本発明の一態様に係る半導体装置によれば、前記突出電極は、導電性ペーストの量が異なることを特徴とする。

これにより、導電性ペーストの量を調整することで、第1半導体パッケージと第2半導体パッケージとの間の突出電極の太さを調整することが可能となり、第1半導体パッケージと第2半導体パッケージとの間の間隔にバラツキがある場合においても、製造工程の複雑化を抑制しつつ、突出電極の括れを抑制することが可能となる。

**【0016】**

また、本発明の一態様に係る半導体装置によれば、前記第1半導体パッケージは、第1キャリア基板と、前記第1キャリア基板上にフリップチップ実装された第1半導体チップとを備え、前記第2半導体パッケージは、前記突出電極を介し、前記第1半導体チップ上に保持されるように前記第1キャリア基板上に実装された第2キャリア基板と、前記第2キャリア基板上に搭載された第2半導体チップと、前記第2半導体チップを封止する封止材とを備えることを特徴とする。

**【0017】**

これにより、第1半導体パッケージおよび第2半導体パッケージの種類が異なる場合においても、高さの増大を抑制しつつ、第1半導体パッケージ上に第2半導体パッケージを積層させることが可能となるとともに、第1半導体パッケージと第2半導体パッケージとの間の間隔にバラツキがある場合においても、突出電極の括れを抑制することが可能となり、省スペース化を可能としつつ、第1半導体パッケージと第2半導体パッケージとの間の接続信頼性を向上させることができる。

**【0018】**

また、本発明の一態様に係る半導体装置によれば、前記第1半導体パッケージは、前記第1キャリア基板上に前記第1半導体チップがフリップチップ実装されたボールグリッドアレイ、前記第2半導体パッケージは、前記第2キャリア基板上に搭載された第2半導体チップがモールド封止されたボールグリッドアレイまたはチップサイズパッケージであることを特徴とする。

**【0019】**

これにより、汎用パッケージを用いた場合においても、突出電極の括れを抑制しつつ、異種パッケージを積層することが可能となり、生産効率を劣化させるこ

となく、異種パッケージ間の接続信頼性を向上させることが可能となる。

また、本発明の一態様に係る電子デバイスによれば、突出電極の接合面積が互いに異なる複数の第1接合面が形成された第1キャリア基板と、前記第1キャリア基板上にフリップチップ実装された第1電子部品と、前記第1接合面に対向配置され、前記突出電極の接合面積が互いに異なる複数の第2接合面が形成された第2キャリア基板と、前記第2キャリア基板上に搭載された第2電子部品と、前記第2電子部品を封止する封止材とを備えることを特徴とする。

#### 【0020】

これにより、第1キャリア基板上に第2キャリア基板を積層させることを可能としつつ、第1キャリア基板および第2キャリア基板の両側から、突出電極の広がり制御することが可能となる。

このため、接合面積の変動量を抑制しつつ、第1接合面と第2接合面との間に接合された突出電極の太さを調整することが可能となり、第1キャリア基板上に第2キャリア基板との間の間隔に大きなバラツキがある場合においても、必要な接合面積を確保することを可能としつつ、突出電極の括れを抑制することが可能となる。

#### 【0021】

また、本発明の一態様に係る電子デバイスによれば、第1キャリア基板と、前記第1キャリア基板上にフリップチップ実装された第1電子部品と、体積が互いに異なる複数の突出電極をそれぞれ介し、前記第1電子部品上に保持されるように前記第1キャリア基板上に実装された第2キャリア基板と、前記第2キャリア基板上に搭載された第2電子部品と、前記第2電子部品を封止する封止材とを備えることを特徴とする。

#### 【0022】

これにより、第1キャリア基板上に第2キャリア基板を積層させることを可能としつつ、第1キャリア基板および第2キャリア基板の両側から、突出電極の広がり制御することが可能となる。

このため、接合面積の変動量を抑制しつつ、第1接合面と第2接合面との間に接合された突出電極の太さを調整することが可能となり、第1キャリア基板上に

第2キャリア基板との間の間隔に大きなバラツキがある場合においても、必要な接合面積を確保することを可能としつつ、突出電極の括れを抑制することが可能となる。

#### 【0023】

また、本発明の一態様に係る半導体パッケージによれば、自パッケージに接続される相手方のパッケージの反りに対応して、自パッケージに接合される突出電極の接合面の接合面積が変化していることを特徴とする。

これにより、相手方のパッケージの反りがある場合においても、自パッケージ側で突出電極の広がりやを制御することが可能となり、自パッケージに接合される突出電極の太さを自パッケージ側で調整することを可能として、パッケージ間の接続信頼性を向上させることが可能となる。

#### 【0024】

また、本発明の一態様に係る電子機器によれば、突出電極の接合面積が互いに異なる複数の第1接合面が形成された第1半導体パッケージと、前記第1接合面に対向配置され、前記突出電極の接合面積が互いに異なる複数の第2接合面が形成された第2半導体パッケージと、前記第2半導体パッケージが実装されたマザー基板とを備えることを特徴とする。

#### 【0025】

これにより、突出電極の接合面積を変化させることで、第1接合面と第2接合面との間に接合された突出電極の太さを調整することが可能となり、第1半導体パッケージと第2半導体パッケージとの間の間隔にバラツキがある場合においても、突出電極の括れを抑制することが可能となる。

また、本発明の一態様に係る電子機器によれば、第1半導体パッケージと、体積が互いに異なる複数の突出電極をそれぞれ介し、前記第1半導体パッケージ上に積層された第2半導体パッケージと、前記第2半導体パッケージが実装されたマザー基板とを備えることを特徴とする。

#### 【0026】

これにより、突出電極の体積を変化させることで、第1半導体パッケージと第2半導体パッケージとの間の突出電極の太さを調整することが可能となり、第1

半導体パッケージと第2半導体パッケージとの間の間隔にバラツキがある場合においても、突出電極の括れを抑制することが可能となる。

また、本発明の一態様に係る半導体装置の製造方法によれば、第1半導体パッケージに設けられた第1ランド上の絶縁膜に開口面積の異なる第1開口部を形成する工程と、第2半導体パッケージに設けられた第2ランド上の絶縁膜に開口面積の異なる第2開口部を形成する工程と、前記第2開口部が形成された第2ランド上に突出電極を形成する工程と、前記第2ランド上に形成された突出電極を前記第1ランド上に接合することにより、前記第1半導体パッケージ上に前記第2半導体パッケージを積層する工程とを備えることを特徴とする。

#### 【0027】

これにより、突出電極の接合面積を変化させることが可能となり、ランド上における突出電極の広がり制御することが可能となる。このため、第1半導体パッケージおよび第2半導体パッケージの一方または双方に反りが発生した場合においても、突出電極の括れを抑制しつつ、第1半導体パッケージ上に第2半導体パッケージを積層することが可能となる。

#### 【0028】

また、本発明の一態様に係る半導体装置の製造方法によれば、マスク厚が異なる印刷面を有する印刷マスクを介して導電材を塗布することにより、厚みの異なる導電材を第1半導体パッケージ上に形成する工程と、第2半導体パッケージに突出電極を形成する工程と、前記第2半導体パッケージに形成された突出電極を、前記導電材を介して前記第1半導体パッケージに接合することにより、前記第1半導体パッケージ上に前記第2半導体パッケージを積層する工程とを備えることを特徴とする。

#### 【0029】

これにより、導電材を第1半導体パッケージ上に転写することで、第1半導体パッケージと第2半導体パッケージとの間の突出電極の太さを調整することが可能となり、第1半導体パッケージと第2半導体パッケージとの間の間隔にバラツキがある場合においても、製造工程の複雑化を抑制しつつ、突出電極の括れを抑制することが可能となる。

**【0030】**

また、本発明の一態様に係る半導体装置の製造方法によれば、導電材の塗布量を制御することにより、厚みの異なる導電材を第1半導体パッケージ上に形成する工程と、第2半導体パッケージに突出電極を形成する工程と、前記第2半導体パッケージに形成された突出電極を、前記導電材を介して前記第1半導体パッケージに接合することにより、前記第1半導体パッケージ上に前記第2半導体パッケージを積層する工程とを備えることを特徴とする。

**【0031】**

これにより、導電性ペーストの塗布量を調整することで、第1半導体パッケージと第2半導体パッケージとの間の突出電極の太さを調整することが可能となり、第1半導体パッケージと第2半導体パッケージとの間の間隔にバラツキがある場合においても、製造工程の複雑化を抑制しつつ、突出電極の括れを抑制することが可能となる。

**【0032】**

また、本発明の一態様に係る電子デバイスの製造方法によれば、第1キャリア基板に設けられた第1ランド上の絶縁膜に開口面積の異なる第1開口部を形成する工程と、前記第1キャリア基板上に第1電子部品を実装する工程と、第2キャリア基板に設けられた第2ランド上の絶縁膜に開口面積の異なる第2開口部を形成する工程と、前記第2キャリア基板上に第2電子部品を実装する工程と、前記第2開口部が形成された第2ランド上に突出電極を形成する工程と、前記第2ランド上に形成された突出電極を前記第1ランド上に接合することにより、前記第1キャリア基板上に前記第2キャリア基板を積層する工程とを備えることを特徴とする。

**【0033】**

これにより、突出電極の接合面積を変化させることが可能となり、第1キャリア基板および第2キャリア基板の一方または双方に反りが発生した場合においても、突出電極の括れを抑制しつつ、第1キャリア基板上に第2キャリア基板を積層することが可能となる。

また、本発明の一態様に係る電子デバイスの製造方法によれば、第1キャリア



基板上に第1電子部品を実装する工程と、マスク厚が異なる印刷面を有する印刷マスクを介して導電材を塗布することにより、厚みの異なる導電材を前記第1キャリア基板上に形成する工程と、第2キャリア基板上に第2電子部品を実装する工程と、前記第2電子部品が実装された第2キャリア基板に突出電極を形成する工程と、前記第2キャリア基板に形成された突出電極を、前記導電材を介して前記第1キャリア基板に接合することにより、前記第1キャリア基板上に前記第2キャリア基板を積層する工程とを備えることを特徴とする。

#### 【0034】

これにより、導電材を第1キャリア基板上に転写することで、第1キャリア基板と第2キャリア基板との間の突出電極の太さを調整することが可能となり、1キャリア基板と第2キャリア基板との間の間隔にバラツキがある場合においても、製造工程の複雑化を抑制しつつ、突出電極の括れを抑制することが可能となる。

#### 【0035】

また、本発明の一態様に係る電子デバイスの製造方法によれば、第1キャリア基板上に第1電子部品を実装する工程と、導電材の塗布量を制御することにより、厚みの異なる導電材を前記第1キャリア基板上に形成する工程と、第2キャリア基板上に第2電子部品を実装する工程と、前記第2電子部品が実装された第2キャリア基板に突出電極を形成する工程と、前記第2キャリア基板に形成された突出電極を、前記導電材を介して前記第1キャリア基板に接合することにより、前記第1キャリア基板上に前記第2キャリア基板を積層する工程とを備えることを特徴とする。

#### 【0036】

これにより、導電性ペーストの塗布量を調整することで、第1キャリア基板と第2キャリア基板との間の突出電極の太さを調整することが可能となり、第1キャリア基板と第2キャリア基板との間の間隔にバラツキがある場合においても、製造工程の複雑化を抑制しつつ、突出電極の括れを抑制することが可能となる。

#### 【0037】

#### 【発明の実施の形態】

以下、本発明の実施形態に係る半導体装置、電子デバイスおよびそれら製造方法について図面を参照しながら説明する。

図1は、本発明の第1実施形態に係る半導体装置の構成を示す断面図である。なお、この第1実施形態は、突出電極29a、29bが接合される半導体パッケージPK11、PK12の双方の開口部13a、13bおよび開口部22a、22bの開口径を変化させるようにしたものである。

#### 【0038】

図1において、半導体パッケージPK11にはキャリア基板11が設けられている。そして、キャリア基板11の裏面には、突出電極19を配置するためのランド14が設けられている。そして、ランド14が設けられたキャリア基板11の裏面にはソルダレジストなどの絶縁膜12が形成され、絶縁膜12には、ランド14の表面を露出させる開口部12aが設けられている。

#### 【0039】

一方、キャリア基板11の表面には、突出電極29a、29bをそれぞれ配置するためのランド15a、15bがそれぞれ設けられるとともに、突出電極17を配置するためのランド15cが設けられている。そして、ランド15a～15cが設けられたキャリア基板11の表面にはソルダレジストなどの絶縁膜13が形成され、絶縁膜13には、ランド15a～15cの表面を露出させる開口部13a～13cがそれぞれ設けられている。

#### 【0040】

ここで、突出電極29a、29bに対応してそれぞれ設けられた開口部13a、13bの開口径は、例えば、キャリア基板11の中央部から外周部に向かって徐々に小さくなるように設定することができる。

そして、キャリア基板11上には半導体チップ16がフリップチップ実装され、半導体チップ16には、フリップチップ実装するための突出電極17が設けられている。そして、半導体チップ16に設けられた突出電極17は、異方性導電フィルム18を介してランド15c上にACF (Anisotropic Conductive Film) 接合されている。また、キャリア基板11の裏面に設けられたランド14上には、キャリア基板11をマザー基板上に実装するた

めの突出電極 19 が設けられている。

#### 【0041】

一方、半導体パッケージ PK 12 にはキャリア基板 21 が設けられている。そして、キャリア基板 21 の裏面には、突出電極 29 a、29 b をそれぞれ配置するためのランド 24 a、24 b が設けられている。そして、ランド 24 a、24 b が設けられたキャリア基板 21 の裏面にはソルダレジストなどの絶縁膜 22 が形成され、絶縁膜 22 には、ランド 24 a、24 b の表面を露出させる開口部 22 a、22 b がそれぞれ設けられている。

#### 【0042】

ここで、突出電極 29 a、29 b にそれぞれ対応して設けられた開口部 22 a、22 b の開口径は、例えば、キャリア基板 21 の中央部から外周部に向かって徐々に小さくなるように設定することができる。

一方、キャリア基板 11 の表面には、ワイヤボンド接続するためのランド 25 が設けられている。そして、ランド 25 が設けられたキャリア基板 21 の表面にはソルダレジストなどの絶縁膜 23 が形成され、絶縁膜 23 には、ランド 25 の表面を露出させる開口部 23 a が設けられている。

#### 【0043】

そして、キャリア基板 21 上には、接着層 27 a を介し半導体チップ 26 a がフェースアップ実装され、半導体チップ 26 a は、導電性ワイヤ 28 a を介してランド 25 にワイヤボンド接続されている。さらに、半導体チップ 26 a 上には、導電性ワイヤ 28 a を避けるようにして、半導体チップ 26 b がフェースアップ実装され、半導体チップ 26 b は、接着層 27 b を介して半導体チップ 26 a 上に固定されるとともに、導電性ワイヤ 28 b を介してランド 25 にワイヤボンド接続されている。なお、導電性ワイヤ 28 a、28 b としては、例えば、Au ワイヤや Al ワイヤなどを用いることができる。

#### 【0044】

また、キャリア基板 21 の裏面に設けられたランド 24 a、24 b 上には、キャリア基板 21 が半導体チップ 16 上に保持されるようにして、キャリア基板 21 をキャリア基板 11 上に実装するための突出電極 29 a、29 b がそれぞれ設

けられている。ここで、突出電極 29 a、29 b は、半導体チップ 16 の搭載領域を避けるようにして配置され、例えば、キャリア基板 21 の裏面の周囲に突出電極 29 a、29 b を配置することができる。

#### 【0045】

また、半導体チップ 26 a、26 b の実装面側のキャリア基板 21 の一面全体に封止樹脂 30 が設けられ、この封止樹脂 30 により半導体チップ 26 a、26 b が封止されている。なお、封止樹脂 30 で半導体チップ 26 a、26 b を封止する場合、例えば、エポキシ樹脂などの熱硬化性樹脂を用いたモールド成形などにより行うことができる。

#### 【0046】

ここで、キャリア基板 11 や半導体チップ 16 などの線膨張係数の違いにより、半導体パッケージ PK 11 が下側に反り、キャリア基板 21 や封止樹脂 30 などの線膨張係数の違いにより、半導体パッケージ PK 12 が上側に反っているものとする。

そして、例えば、半導体パッケージ PK 11 が下側に反り、半導体パッケージ PK 12 が上側に反った状態で、キャリア基板 11 上に設けられたランド 15 a、15 b に突出電極 29 a、29 b をそれぞれ接合させることにより、キャリア基板 21 をキャリア基板 11 上に実装することができる。

#### 【0047】

ここで、突出電極 29 a、29 b の下面に対応してそれぞれ設けられた開口部 13 a、13 b の開口径および突出電極 29 a、29 b の上面に対応してそれぞれ設けられた開口部 22 a、22 b の開口径の双方を、キャリア基板 11、21 の中央部から外周部に向かってそれぞれ小さくなるように設定することにより、積層されたキャリア基板 11、21 の両側から、突出電極 29 a、29 b の広がり制御することが可能となる。

#### 【0048】

このため、突出電極 29 a、29 b の接合面積の変動量を抑制しつつ、ランド 15 a、15 b とランド 24 a、24 b との間にそれぞれ接合された突出電極 29 a、29 b の太さを調整することが可能となり、キャリア基板 11、21 の反

りが大きい場合においても、突出電極 29 a、29 b の必要な接合面積を確保することを可能としつつ、突出電極 29 a、29 b の括れを抑制することが可能となる。

#### 【0049】

さらに、開口部 13 a、13 b の開口径および開口部 22 a、22 b の開口径の双方を変化させることにより、キャリア基板 11、21 に反りがある場合においても、突出電極 29 a、29 b の体積を変化させることなく、突出電極 29 a、29 b の括れを抑制することが可能となる。このため、突出電極 29 a、29 b をキャリア基板 21 に形成する際の製造効率の劣化を抑制しつつ、キャリア基板 11、21 間の接続信頼性を向上させることが可能となる。

#### 【0050】

例えば、突出電極 29 a、29 b を半田ボールで構成した場合のボール径が  $\phi 0.3\text{ mm}$  で等しいものとし、キャリア基板 21 の反りが  $80\text{ }\mu\text{m}$  だけあるとする。そして、キャリア基板 11 の開口部 13 a、13 b の開口径を  $\phi 0.3\text{ mm}$  で一定とし、キャリア基板 21 の中央部の開口部 24 b の開口径を  $\phi 0.28\text{ mm}$  とすると、キャリア基板 21 の中央部の取り付け高は  $0.205\text{ mm}$  となる。この場合、キャリア基板 21 の端部の取り付け高を  $0.285\text{ mm}$  とするには、キャリア基板 21 の端部の開口部 24 a の開口径を  $\phi 0.05\text{ mm}$  とする必要がある。このため、開口部 24 a の開口径が極端に小さくなり、突出電極 29 a とランド 24 a との接合面積が小さくなり過ぎることから、突出電極 29 a とランド 24 a との接合強度が不足する。

#### 【0051】

一方、キャリア基板 11 の中央部の開口部 13 b の開口径を  $\phi 0.3\text{ mm}$  に維持したまま、キャリア基板 11 の端部の開口部 13 a の開口径を  $\phi 0.28\text{ mm}$  と小さくすると、キャリア基板 21 の端部の取り付け高を  $0.285\text{ mm}$  とするには、キャリア基板 21 の端部の開口部 24 a の開口径を  $\phi 0.25\text{ mm}$  とすればよい。このため、開口部 24 a の開口径が小さくなり過ぎることを防止しつつ、必要な取り付け高を確保することができる。

#### 【0052】

なお、キャリア基板 11、21 としては、例えば、両面基板、多層配線基板、ビルドアップ基板、テープ基板またはフィルム基板などを用いることができ、キャリア基板 11、21 の材質としては、例えば、ポリイミド樹脂、ガラスエポキシ樹脂、BT レジン、アラミドとエポキシのコンポジットまたはセラミックなどを用いることができる。また、突出電極 16、19、29a、29b としては、例えば、Au バンプ、半田材などで被覆された Cu バンプや Ni バンプ、あるいは半田ボールなどを用いることができ、特に、突出電極 29a、29b としては、半田ボールあるいは導電性ペーストなどを用いることが好ましい。また、キャリア基板 21 をキャリア基板 11 上に実装するために、突出電極 29a、29b をキャリア基板 21 側に設ける方法について説明したが、突出電極 29a、29b をキャリア基板 11 側に設けるようにしてもよい。

#### 【0053】

また、上述した実施形態では、ACF 接合により半導体チップ 16 をキャリア基板 11 上に実装する方法について説明したが、例えば、NCF (Nonconductive Film) 接合、ACP (Anisotropic Conductive Paste) 接合、NCP (Nonconductive Paste) 接合などのその他の圧接接合を用いるようにしてもよく、半田接合や合金接合などの金属接合を用いるようにしてもよい。また、半導体チップ 26a、26b をキャリア基板 21 上に実装する場合、ワイヤボンダ接続を用いる方法について説明したが、キャリア基板 21 上に半導体チップ 26a、26b をフリップチップ実装するようにしてもよい。さらに、上述した実施形態では、キャリア基板 11 上に半導体チップ 16 を 1 個だけ実装する方法を例にとって説明したが、キャリア基板 11 上に複数の半導体チップを実装するようにしてもよい。また、キャリア基板 11 とキャリア基板 21 との間の隙間には、必要に応じて樹脂を注入するようにしてもよい。さらに、上述した実施形態では、半導体チップ 16 をキャリア基板 11 にフェースダウン実装する例を示したが、フェースアップ実装されていても良い (図示せず)。この場合、半導体チップ 16 は封止されていても良い。また、この場合、キャリア基板 11 の半導体チップ 16 が封止されている部分は下に凸に変形し、封止されていない部分は上に凸に変形する。

## 【0054】

また、上述した実施形態では、下側のキャリア基板 11 が下側に反り、上側のキャリア基板 21 が上側に反った場合を例にとって説明したが、下側のキャリア基板 11 に反りがなく、上側のキャリア基板 21 が上側に反った場合、上側のキャリア基板 21 に反りがなく、下側のキャリア基板 11 が下側に反った場合、双方のキャリア基板 11、21 が下側に反り、下側のキャリア基板 11 の方が反りが大きい場合、双方のキャリア基板 11、21 が上側に反り、上側のキャリア基板 21 の方が反りが大きい場合についても同様に適用することができる。

## 【0055】

さらに、下側のキャリア基板 11 が上側に反り、上側のキャリア基板 21 が下側に反った場合、下側のキャリア基板 11 に反りがなく、上側のキャリア基板 21 が下側に反った場合、上側のキャリア基板 21 に反りがなく、下側のキャリア基板 11 が上側に反った場合、双方のキャリア基板 11、21 が下側に反り、上側のキャリア基板 11 の方が反りが大きい場合、双方のキャリア基板 11、21 が上側に反り、下側のキャリア基板 21 の方が反りが大きい場合についても適用するようにしてもよい。なお、これらの場合、突出電極 29a、29b の下面に対応してそれぞれ設けられた開口部 13a、13b の開口径および突出電極 29a、29b の上面に対応してそれぞれ設けられた開口部 22a、22b の開口径の双方を、キャリア基板 11、21 の中央部から外周部に向かってそれぞれ大きくなるように設定することが好ましい。

## 【0056】

図 2 は、図 1 の半導体装置の製造方法を示す断面図である。

図 2 (a) において、半導体パッケージ PK11 が下側に反り、半導体パッケージ PK12 が上側に反っているものとする。そして、半導体パッケージ PK11 上に半導体パッケージ PK12 を積層する場合、キャリア基板 22 のランド 24a、24b 上に突出電極 29a、29b をそれぞれ形成する。ここで、突出電極 29a、29b として、例えば、半田ボールを用いた場合、ボール径を実質的に（すなわち、製造誤差の範囲内で）等しく設定することができる。

## 【0057】

次に、図 2 (b) に示すように、突出電極 29 a、29 b が形成された半導体パッケージ P K 1 2 を半導体パッケージ P K 1 1 上にマウントし、リフロー処理を行うことにより、突出電極 29 a、29 b をランド 15 a、15 b およびランド 24 a、24 b 上にそれぞれ接合させる。

ここで、突出電極 29 a、29 b の下面に対応してそれぞれ設けられた開口部 13 a、13 b の開口径および突出電極 29 a、29 b の上面に対応してそれぞれ設けられた開口部 22 a、22 b の開口径の双方を、キャリア基板 11、21 の中央部から外周部に向かってそれぞれ小さくなるように設定することにより、突出電極 29 a、29 b として、ボール径の等しい半田ボールを用いた場合においても、突出電極 29 a、29 b の括れを抑制しつつ、キャリア基板 21 の取り付け高をキャリア基板 11、21 の反りに対応させることが可能となる。

#### 【0058】

次に、図 2 (c) に示すように、キャリア基板 11 の裏面に設けられたランド 14 上に、キャリア基板 11 をマザー基板上に実装するための突出電極 19 を形成する。

図 3 は、本発明の第 2 実施形態に係る半導体装置の構成を示す断面図である。なお、この第 2 実施形態は、突出電極 59 a、59 b が接合される半導体パッケージ P K 2 1、P K 2 2 の双方の開口部 43 a、43 b および開口部 52 a、52 b の開口径をそれぞれ変化させるとともに、突出電極 49 a～49 c が接合される半導体パッケージ P K 2 1 の開口部 42 a～42 c の開口径を変化させるようにしたものである。

#### 【0059】

図 3 において、半導体パッケージ P K 2 1 にはキャリア基板 41 が設けられている。そして、キャリア基板 41 の裏面には、突出電極 49 a～49 c を配置するためのランド 44 a～44 c が設けられている。そして、ランド 44 a～44 c が設けられたキャリア基板 41 の裏面にはソルダレジストなどの絶縁膜 42 が形成され、絶縁膜 42 には、ランド 44 a～44 c の表面をそれぞれ露出させる開口部 42 a～44 c が設けられている。

#### 【0060】



ここで、突出電極 4 9 a ~ 4 9 c にそれぞれ対応して設けられた開口部 4 2 a ~ 4 4 c の開口径は、例えば、キャリア基板 4 1 の中央部から外周部に向かって徐々に大きくなるように設定することができる。

一方、キャリア基板 4 1 の表面には、突出電極 5 9 a、5 9 b をそれぞれ配置するためのランド 4 5 a、4 5 b がそれぞれ設けられるとともに、突出電極 4 7 を配置するためのランド 4 5 c が設けられている。そして、ランド 4 5 a、4 5 b、4 5 c が設けられたキャリア基板 4 1 の表面にはソルダレジストなどの絶縁膜 4 3 が形成され、絶縁膜 4 3 には、ランド 4 5 a ~ 4 5 c の表面を露出させる開口部 4 3 a ~ 4 3 c がそれぞれ設けられている。

#### 【0 0 6 1】

ここで、突出電極 5 9 a、5 9 b に対応してそれぞれ設けられた開口部 4 3 a、4 3 b の開口径は、例えば、キャリア基板 4 1 の中央部から外周部に向かって徐々に小さくなるように設定することができる。

そして、キャリア基板 4 1 上には半導体チップ 4 6 がフリップチップ実装され、半導体チップ 4 6 には、フリップチップ実装するための突出電極 4 7 が設けられている。そして、半導体チップ 4 3 に設けられた突出電極 4 7 は、異方性導電フィルム 4 8 を介してランド 4 5 c 上に A C F 接合されている。また、キャリア基板 4 1 の裏面に設けられたランド 4 4 a ~ 4 4 c 上には、キャリア基板 4 1 をマザー基板 7 1 上に実装するための突出電極 4 9 a ~ 4 9 c が設けられている。

#### 【0 0 6 2】

一方、半導体パッケージ P K 2 2 にはキャリア基板 5 1 が設けられている。そして、キャリア基板 5 1 の裏面には、突出電極 5 9 a、5 9 b をそれぞれ配置するためのランド 5 4 a、5 4 b がそれぞれ設けられている。そして、ランド 5 4 a、5 4 b が設けられたキャリア基板 5 1 の裏面にはソルダレジストなどの絶縁膜 5 2 が形成され、絶縁膜 5 2 には、ランド 5 4 a、5 4 b の表面を露出させる開口部 5 2 a、5 2 b がそれぞれ設けられている。

#### 【0 0 6 3】

ここで、突出電極 5 9 a、5 9 b に対応して設けられた開口部 5 2 a、5 2 b の開口径は、例えば、キャリア基板 5 1 の中央部から外周部に向かって徐々に小

さくなるように設定することができる。

一方、キャリア基板 51 の表面には、ワイヤボンダ接続するためのランド 55 が設けられている。そして、ランド 55 が設けられたキャリア基板 51 の表面にはソルダレジストなどの絶縁膜 53 が形成され、絶縁膜 53 には、ランド 55 の表面を露出させる開口部 53a が設けられている。

#### 【0064】

そして、キャリア基板 51 上には、接着層 57a を介し半導体チップ 56a がフェースアップ実装され、半導体チップ 56a は、導電性ワイヤ 58a を介してランド 55 にワイヤボンダ接続されている。さらに、半導体チップ 56a 上には、導電性ワイヤ 58a を避けるようにして、半導体チップ 56b がフェースアップ実装され、半導体チップ 56b は、接着層 57b を介して半導体チップ 56a 上に固定されるとともに、導電性ワイヤ 58b を介してランド 55 にワイヤボンダ接続されている。

#### 【0065】

また、キャリア基板 51 の裏面に設けられたランド 54a、54b 上には、キャリア基板 51 が半導体チップ 46 上に保持されるようにして、キャリア基板 51 をキャリア基板 41 上に実装するための突出電極 59a、59b がそれぞれ設けられている。ここで、突出電極 59a、59b は、半導体チップ 46 の搭載領域を避けるようにして配置され、例えば、キャリア基板 51 の裏面の周囲に突出電極 59a、59b を配置することができる。

#### 【0066】

また、半導体チップ 56a、56b の実装面側のキャリア基板 51 の一面全体に封止樹脂 60 が設けられ、この封止樹脂 60 により半導体チップ 56a、56b が封止されている。

ここで、キャリア基板 41 や半導体チップ 46 などの線膨張係数の違いにより、例えば、半導体パッケージ PK21 が下側に反り、キャリア基板 51 や封止樹脂 60 などの線膨張係数の違いにより、半導体パッケージ PK22 が上側に反っているものとする。

#### 【0067】

そして、例えば、半導体パッケージ P K 2 1 が下側に反り、半導体パッケージ P K 2 2 が上側に反った状態で、キャリア基板 4 1 上に設けられたランド 4 5 a、4 5 b に突出電極 5 9 a、5 9 b をそれぞれ接合させることにより、キャリア基板 5 1 をキャリア基板 4 1 上に実装することができる。

さらに、マザー基板 7 1 上に設けられたランド 7 2 に突出電極 4 9 a ~ 4 9 c をそれぞれ接合させることにより、キャリア基板 2 1 が積層されたキャリア基板 1 1 をマザー基板 7 1 上に実装することができる。

#### 【0068】

ここで、突出電極 5 9 a、5 9 b の下面に対応してそれぞれ設けられた開口部 4 3 a、4 3 b の開口径および突出電極 5 9 a、5 9 b の上面に対応してそれぞれ設けられた開口部 5 2 a、5 2 b の開口径の双方を、キャリア基板 4 1、5 1 の中央部から外周部に向かってそれぞれ小さくなるように設定することにより、積層されたキャリア基板 4 1、5 1 の両側から、突出電極 5 9 a、5 9 b の広がりを制御することが可能となる。

#### 【0069】

このため、突出電極 5 9 a、5 9 b の接合面積の変動量を抑制しつつ、ランド 4 5 a、4 5 b とランド 5 4 a、5 4 b との間にそれぞれ接合された突出電極 5 9 a、5 9 b の太さを調整することが可能となり、キャリア基板 4 1、5 1 の反りが大きい場合においても、突出電極 5 9 a、5 9 b の必要な接合面積を確保することを可能としつつ、突出電極 5 9 a、5 9 b の括れを抑制することが可能となる。

#### 【0070】

さらに、キャリア基板 5 1 とマザー基板 7 1 との間に挟まれるキャリア基板 4 1 において、一方の面に設けられた開口部 4 3 a、4 3 b の開口径だけでなく、他方の面に設けられた開口部 4 2 a ~ 4 2 c の開口径も変化させることにより、キャリア基板 4 1 に反りがある場合においても、キャリア基板 5 1 に接合される突出電極 5 9 a、5 9 b の括れだけでなく、マザー基板 7 1 に接合される突出電極 4 9 a ~ 4 9 c の括れも抑制することができる。このため、キャリア基板 4 1 とキャリア基板 5 1 との接続信頼性だけでなく、キャリア基板 4 1 とマザー基板



71との接続信頼性も向上させることが可能となる。

#### 【0071】

なお、キャリア基板41、51およびマザー基板71としては、例えば、両面基板、多層配線基板、ビルドアップ基板、テープ基板またはフィルム基板などを用いることができ、キャリア基板41、51およびマザー基板71の材質としては、例えば、ポリイミド樹脂、ガラスエポキシ樹脂、BTレジン、アラミドとエポキシのコンポジットまたはセラミックなどを用いることができる。また、突出電極46、49a～49c、59a、59bとしては、例えば、Auバンプ、半田材などで被覆されたCuバンプやNiバンプ、あるいは半田ボールなどを用いることができ、特に、突出電極49a～49c、59a、59bとしては、半田ボールあるいは導電性ペーストなどを用いることが好ましい。

また、上述した実施形態では、下側のキャリア基板41が下側に反り、上側のキャリア基板51が上側に反った場合を例にとって説明したが、上側のキャリア基板51に反りがなく、下側のキャリア基板41が下側に反った場合、双方のキャリア基板41、51が下側に反り、下側のキャリア基板41の方が反りが大きい場合についても同様に適用することができる。

#### 【0072】

さらに、下側のキャリア基板41が上側に反った場合、上側のキャリア基板51の反りにかわりなく、突出電極49a～49cにそれぞれ対応して設けられた開口部42a～44cの開口径を、キャリア基板41の中央部から外周部に向かって徐々に小さくなるように設定することができる。

図4、図5は、本発明の第3実施形態に係る半導体装置の製造方法を示す断面図である。なお、この第3実施形態は、印刷マスク111のマスク厚を変化させることにより、キャリア基板81に印刷される導電性ペースト89a、89bの厚みを調整するようにしたものである。

#### 【0073】

図4において、半導体パッケージPK31にはキャリア基板81が設けられている。そして、キャリア基板81の裏面には、図5(b)の突出電極102を配置するためのランド84が設けられている。そして、ランド84が設けられたキ

キャリア基板 11 の裏面には絶縁膜 82 が形成され、絶縁膜 82 には、ランド 84 の表面を露出させる開口部 82a が設けられている。

【0074】

一方、キャリア基板 81 の表面には、図 5 (a) の突出電極 101a、101b をそれぞれ接合させるためのランド 85a、85b がそれぞれ設けられるとともに、突出電極 87 を配置するためのランド 85c が設けられている。そして、ランド 85a～85c が設けられたキャリア基板 81 の表面には絶縁膜 83 が形成され、絶縁膜 83 には、ランド 85a～85c の表面を露出させる開口部 83a～83c がそれぞれ設けられている。なお、開口部 83a～83c の開口径は実質的に同一となるように設定することができる。

【0075】

そして、キャリア基板 81 上には半導体チップ 86 がフリップチップ実装され、半導体チップ 86 には、フリップチップ実装するための突出電極 87 が設けられている。そして、半導体チップ 86 に設けられた突出電極 87 は、異方性導電フィルム 88 を介してランド 85c 上に ACF 接合されている。

一方、半導体パッケージ PK32 にはキャリア基板 91 が設けられている。そして、キャリア基板 91 の裏面には、突出電極 99a、99b をそれぞれ配置するためのランド 94a、94b がそれぞれ設けられている。そして、ランド 94a、94b が設けられたキャリア基板 91 の裏面には絶縁膜 92 が形成され、絶縁膜 92 には、ランド 94a、94b の表面を露出させる開口部 92a、92b がそれぞれ設けられている。なお、開口部 92a、92b の開口径は実質的に同一となるように設定することができる。

【0076】

一方、キャリア基板 91 の表面には、ワイヤボンダ接続するためのランド 95 が設けられている。そして、ランド 95 が設けられたキャリア基板 91 の表面には絶縁膜 93 が形成され、絶縁膜 93 には、ランド 95 の表面を露出させる開口部 93a が設けられている。

そして、キャリア基板 91 上には、接着層 97a を介し半導体チップ 96a がフェースアップ実装され、半導体チップ 96a は、導電性ワイヤ 98a を介して

ランド95にワイヤボンダ接続されている。さらに、半導体チップ96a上には、導電性ワイヤ98aを避けるようにして、半導体チップ96bがフェースアップ実装され、半導体チップ96bは、接着層97bを介して半導体チップ96a上に固定されるとともに、導電性ワイヤ98bを介してランド95にワイヤボンダ接続されている。

#### 【0077】

また、キャリア基板91の裏面に設けられたランド94a、94b上には、キャリア基板91が半導体チップ86上に保持されるようにして、キャリア基板91をキャリア基板81上に実装するための突出電極99a、99bがそれぞれ設けられている。

また、半導体チップ96a、96bの実装面側のキャリア基板91の一面全体に封止樹脂100が設けられ、この封止樹脂100により半導体チップ96a、96bが封止されている。

#### 【0078】

一方、印刷マスク111には、導電性ペースト89を充填するための開口部113a、113bが設けられるとともに、印刷マスク111の転写面側には、半導体チップ86を挿入可能な開口部112が設けられている。ここで、印刷マスク111のマスク厚は、開口部113a、113bの位置に応じて異なるように設定され、例えば、印刷マスク111の中央部から外周部に向かって徐々に厚くなるように設定することができる。

#### 【0079】

例えば、印刷マスク111のマスク厚を変化させる場合、印刷マスク111の上面の断面形状を平坦に保ったまま、印刷マスク111の転写面側の断面形状をアーチ状にすることができる。

そして、半導体パッケージPK31が下側に反り、半導体パッケージPK32が上側に反っているものとする。そして、半導体パッケージPK31上に半導体パッケージPK32を積層する場合、印刷マスク111の上面に導電性ペースト89を供給する。そして、印刷マスク111の開口部113a、113bに導電性ペースト89がそれぞれ充填されると、キャリア基板81を印刷マスク111

に押し付ける。そして、導電性ペースト 89 が供給された印刷マスク 111 上でスキージ 114 を移動させることにより、開口部 113 a、113 b に導電性ペースト 89 をそれぞれ充填する。ここで、印刷マスク 111 の中央部から外周部に向かってマスク厚を徐々に厚くすることにより、中央部に配置された開口部 113 b に比べて、端部に配置された開口部 113 a の充填量を多くすることができる。

#### 【0080】

そして、図 4 (b) に示すように、印刷マスク 111 の開口部 113 a、113 b に充填された導電性ペースト 89 を、キャリア基板 81 のランド 85 a、85 b 上に転写することにより、キャリア基板 81 のランド 85 a、85 b 上に導電性ペースト 89 a、89 b をそれぞれ印刷する。ここで、開口部 113 b に充填された導電性ペースト 89 の充填量に比べて、開口部 113 a に充填された導電性ペースト 89 の充填量の方が多い。このため、キャリア基板 81 のランド 85 b 上の導電性ペースト 89 b の厚みに比べ、ランド 85 a 上に導電性ペースト 89 a の厚みを厚くすることができる。

#### 【0081】

次に、図 4 (c) に示すように、導電性ペースト 89 a、89 b が印刷された半導体パッケージ PK31 上に、突出電極 99 a、99 b が形成された半導体パッケージ PK32 をマウントする。

次に、図 5 (a) に示すように、リフロー処理を行うことにより、導電性ペースト 89 a、89 b および突出電極 99 a、99 b を溶融させる。そして、導電性ペースト 89 a、89 b および突出電極 99 a、99 b からなる突出電極 101 a、101 b をランド 85 a、85 b およびランド 94 a、94 b 上にそれぞれ接合させる。

#### 【0082】

これにより、キャリア基板 81 のランド 85 a、85 b 上に導電性ペースト 89 a、89 b を一括形成することを可能としつつ、キャリア基板 81 とキャリア基板 91 との間の間隔に対応して、突出電極 101 a、101 b の体積を変化させることが可能となる。このため、キャリア基板 81、91 に反りがある場合に

においても、突出電極 101a、101b の括れを抑制することが可能となり、製造効率の劣化を抑制しつつ、キャリア基板 81、91 間の接続信頼性を向上させることが可能となる。

#### 【0083】

次に、図 5 (b) に示すように、キャリア基板 81 をマザー基板上に実装するための突出電極 89 を、キャリア基板 81 の裏面に設けられたランド 84 上に形成する。

図 6 は、本発明の第 4 実施形態に係る半導体装置の製造方法を示す断面図である。なお、この第 4 実施形態は、導電性ペースト 89 の塗布量を調整することにより、キャリア基板 81 に塗布される導電性ペースト 89a、89b の厚みを調整するようにしたものである。

#### 【0084】

図 6 において、キャリア基板 81 のランド 85a、85b 上に導電性ペースト 89a、89b を形成する場合、デイスペンサ 121 を用いる。そして、導電性ペースト 89 の供給量をランド 85a、85b ごとに調整しながら、キャリア基板 81 のランド 85a、85b 上に導電性ペースト 89a、89b を形成する。

これにより、キャリア基板 81 とキャリア基板 91 との間の間隔に対応して、突出電極 101a、101b の体積を変化させることが可能となり、キャリア基板 81、91 に反りがある場合においても、突出電極 101a、101b の括れを抑制することが可能となる。

#### 【0085】

図 7 は、本発明の第 5 実施形態に係る半導体装置の構成を示す断面図である。なお、この第 5 実施形態は、W-CSP (ウエハレベルチップサイズパッケージ) の突出電極 227a、227b に対応して設けられた開口部 226a、226b の開口径を変化させるようにしたものである。

図 7 において、半導体パッケージ PK41 にはキャリア基板 211 が設けられている。そして、キャリア基板 211 の裏面には、突出電極 219 を配置するためのランド 214 が設けられている。そして、ランド 214 が設けられたキャリア基板 211 の裏面にはソルダレジストなどの絶縁膜 212 が形成され、絶縁膜



212 には、ランド 214 の表面を露出させる開口部 212a が設けられている。

#### 【0086】

一方、キャリア基板 211 の表面には、突出電極 229a、229b をそれぞれ配置するためのランド 215a、215b がそれぞれ設けられるとともに、突出電極 217 を配置するためのランド 215c が設けられている。そして、ランド 215a～215c が設けられたキャリア基板 211 の表面にはソルダレジストなどの絶縁膜 213 が形成され、絶縁膜 213 には、ランド 215a～215c の表面を露出させる開口部 213a～213c がそれぞれ設けられている。

#### 【0087】

ここで、突出電極 229a、229b に対応してそれぞれ設けられた開口部 213a、213b の開口径は、例えば、キャリア基板 211 の中央部から外周部に向かって徐々に小さくなるように設定することができる。

そして、キャリア基板 211 上には半導体チップ 216 がフリップチップ実装され、半導体チップ 216 には、フリップチップ実装するための突出電極 217 が設けられている。そして、半導体チップ 216 に設けられた突出電極 217 は、異方性導電フィルム 218 を介してランド 215c 上に ACF 接合されている。また、キャリア基板 211 の裏面に設けられたランド 214 上には、キャリア基板 211 をマザー基板上に実装するための突出電極 219 が設けられている。

#### 【0088】

一方、半導体パッケージ PK42 には半導体チップ 221 が設けられ、半導体チップ 221 には、電極パッド 222 が設けられるとともに、電極パッド 222 が露出するようにして、絶縁膜 223 が設けられている。そして、半導体チップ 221 上には、電極パッド 222 が露出するようにして応力緩和層 224 が形成され、電極パッド 222 上には、応力緩和層 224 上に延伸された再配置配線 225 が形成されるとともに、応力緩和層 224 上には、突出電極 227a、227b をそれぞれ配置するためのランド 225a、225b が設けられている。そして、再配置配線 225 およびランド 225a、225b 上にはソルダレジスト膜 226 が形成され、ソルダレジスト膜 226 には、応力緩和層 224 上に

においてランド 225 a、225 b をそれぞれ露出させる開口部 226 a、226 b が形成されている。

#### 【0089】

ここで、突出電極 227 a、227 b に対応して設けられた開口部 226 a、226 b の開口径は、例えば、半導体チップ 221 の中央部から外周部に向かって徐々に小さくなるように設定することができる。

そして、開口部 226 a、226 b を介して露出されたランド 225 a、225 b 上には、半導体チップ 221 が半導体チップ 216 上に保持されるようにして、半導体チップ 221 をフェースダウン実装するための突出電極 227 a、227 b がそれぞれ設けられている。なお、突出電極 227 a、227 b は、半導体チップ 216 の搭載領域を避けるようにして配置することができ、例えば、半導体チップ 221 の周囲に突出電極 227 a、227 b を配置することができる。

#### 【0090】

ここで、キャリア基板 211 や半導体チップ 216 などの線膨張係数の違いにより、例えば、半導体パッケージ PK 41 が下側に反り、半導体チップ 221 や応力緩和層 224 などの線膨張係数の違いにより、半導体パッケージ PK 42 も下側に反っていて、半導体パッケージ PK 41 が半導体パッケージ PK 42 よりも大きく反っているものとする。

#### 【0091】

そして、例えば、半導体パッケージ PK 41 が下側に反り、半導体パッケージ PK 42 も下側に反り、半導体パッケージ PK 41 が半導体パッケージ PK 42 よりも大きく反った状態で、キャリア基板 211 上に設けられたランド 215 a、215 b に突出電極 227 a、227 b をそれぞれ接合させることにより、半導体チップ 221 をキャリア基板 221 上に実装することができる。なお、上述した例では、半導体パッケージ PK 41 が半導体パッケージ PK 42 よりも大きく反っているものとしたが、半導体パッケージ PK 42 が半導体パッケージ PK 41 よりも大きく反っていても良い。

#### 【0092】

これにより、半導体チップ 216 がフリップチップ実装されたキャリア基板 211 上に W-CSP を積層することができ、半導体チップ 216、221 の種類またはサイズが異なる場合においても、半導体チップ 216、221 間にキャリア基板を介在させることなく、半導体チップ 216 上に半導体チップ 221 を 3 次元実装することが可能となるとともに、キャリア基板 211 および半導体チップ 221 の両側から、突出電極 227a、227b の広がりを制御することが可能となる。

#### 【0093】

このため、半導体パッケージ PK41、K42 に反りがある場合においても、半導体チップ 216、221 積層時の高さの増大を抑制しつつ、突出電極 227a、227b の括れを抑制することが可能となり、3 次元実装時の接続信頼性の劣化を抑制しつつ、半導体チップ 216、221 実装時の省スペース化を図ることが可能となる。

#### 【0094】

なお、上述した実施形態では、半導体チップ 221 の中央部から外周部に向かって開口部 226a、226b の開口径が徐々に小さくなる場合について説明したが、半導体パッケージ K42 が下側に反る場合には、半導体チップ 221 の中央部から外周部に向かって開口部 226a、226b の開口径が徐々に大きくなるように設定してもよい。

#### 【0095】

また、上述した半導体装置および電子デバイスは、例えば、液晶表示装置、携帯電話、携帯情報端末、ビデオカメラ、デジタルカメラ、MD (Mini Disc) プレーヤなどの電子機器に適用することができ、電子機器の小型・軽量化を可能としつつ、電子機器の信頼性を向上させることができる。

また、上述した実施形態では、半導体チップまたは半導体パッケージを実装する方法を例にとって説明したが、本発明は、必ずしも半導体チップまたは半導体パッケージを実装する方法に限定されることなく、例えば、弾性表面波 (SAW) 素子などのセラミック素子、光変調器や光スイッチなどの光学素子、磁気センサやバイオセンサなどの各種センサ類などを実装するようにしてもよい。

## 【図面の簡単な説明】

【図 1】 第 1 実施形態に係る半導体装置の構成を示す断面図。

【図 2】 図 1 の半導体装置の製造方法を示す断面図。

【図 3】 第 2 実施形態に係る半導体装置の構成を示す断面図。

【図 4】 第 3 実施形態に係る半導体装置の製造方法を示す断面図。

【図 5】 第 3 実施形態に係る半導体装置の製造方法を示す断面図。

【図 6】 第 4 実施形態に係る半導体装置の製造方法を示す断面図。

【図 7】 第 5 実施形態に係る半導体装置の構成を示す断面図。

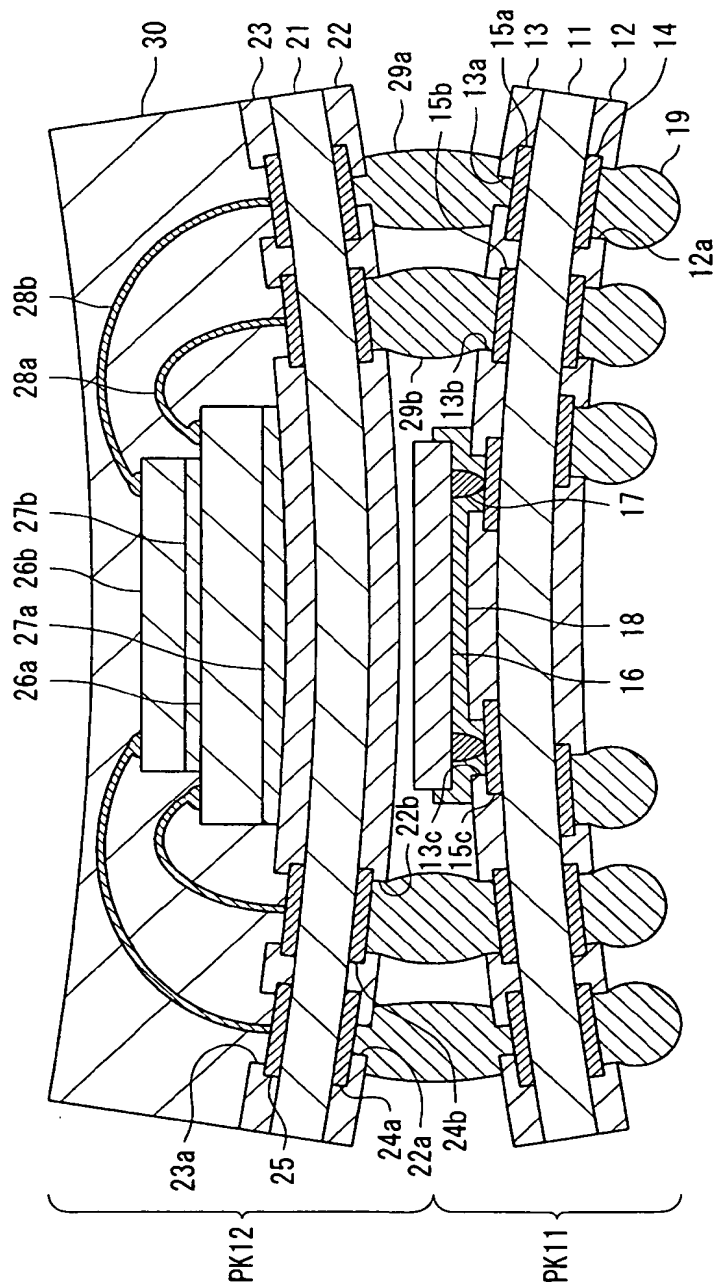
## 【符号の説明】

11、21、31、41、51、81、91、211 キャリア基板、12、13、22、23、42、43、52、53、82、83、92、93、212、223 絶縁膜、12a、13a~13c、22a、22b、42a、43a~43c、52a、52b、82a、83a、83b、92a、92b、112、113a、113b、214、215a、215b、226a、226b 開口部、44a、44b、44c、45a、45b、45c、54a、54b、55、72、84、85a、85b、85c、94a、94b、95、214、215a、215b、225a、225b ランド、16、26a、26b、46、56a、56b、86、96a、96b、216、221 半導体チップ、17、19、29a、29b、47、49a、49b、49c、59a、59b、87、99a、99b、101a、101b、102、217、219、227a、227b 突出電極、18、48、88、218 異方性導電フィルム、27a、27b、57a、57b、97a、97b 接着層、28a、28b、58a、58b、98a、98b 導電性ワイヤ、30、60、100 封止樹脂、71 マザー基板、89、89a、89b 導電性ペースト、111 印刷マスク 114 スキージ、121 ディスペンサ、222 電極パッド、224 応力緩和層、225 再配置配線、226 ソルダレジスト層、PK11、PK12、PK21、PK22、PK31、PK32、PK41、PK42 半導体パッケージ

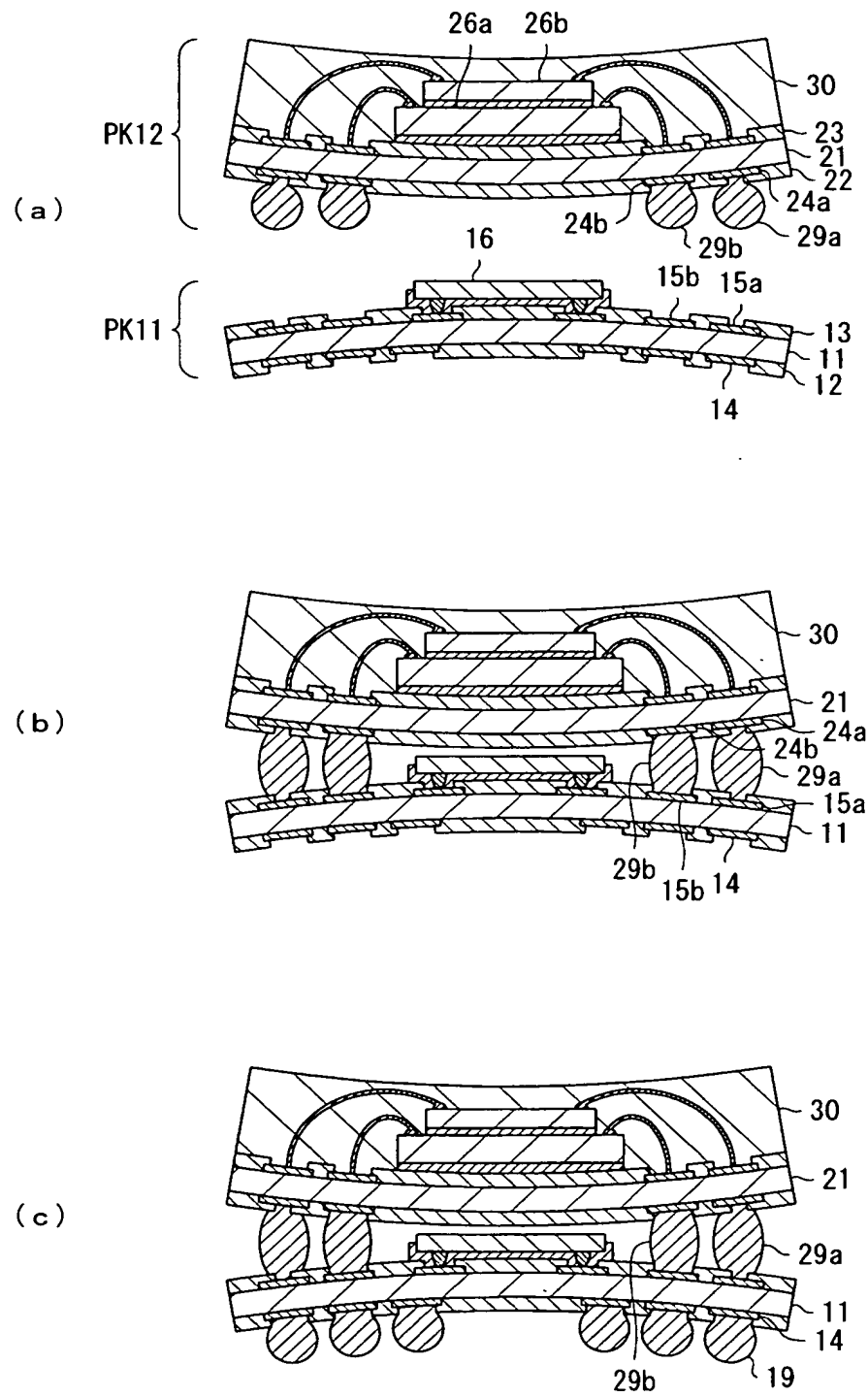
【書類名】

図面

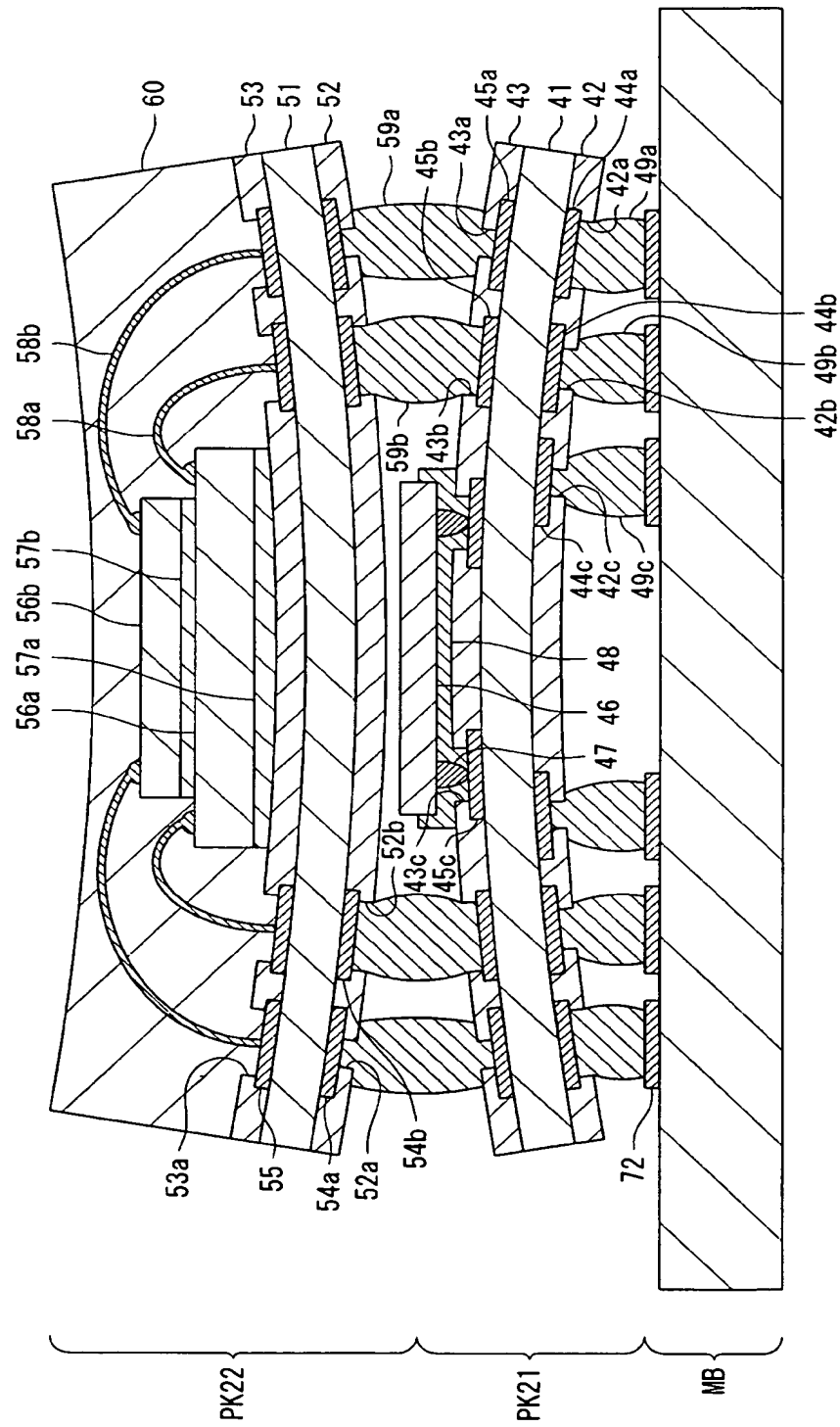
【図 1】



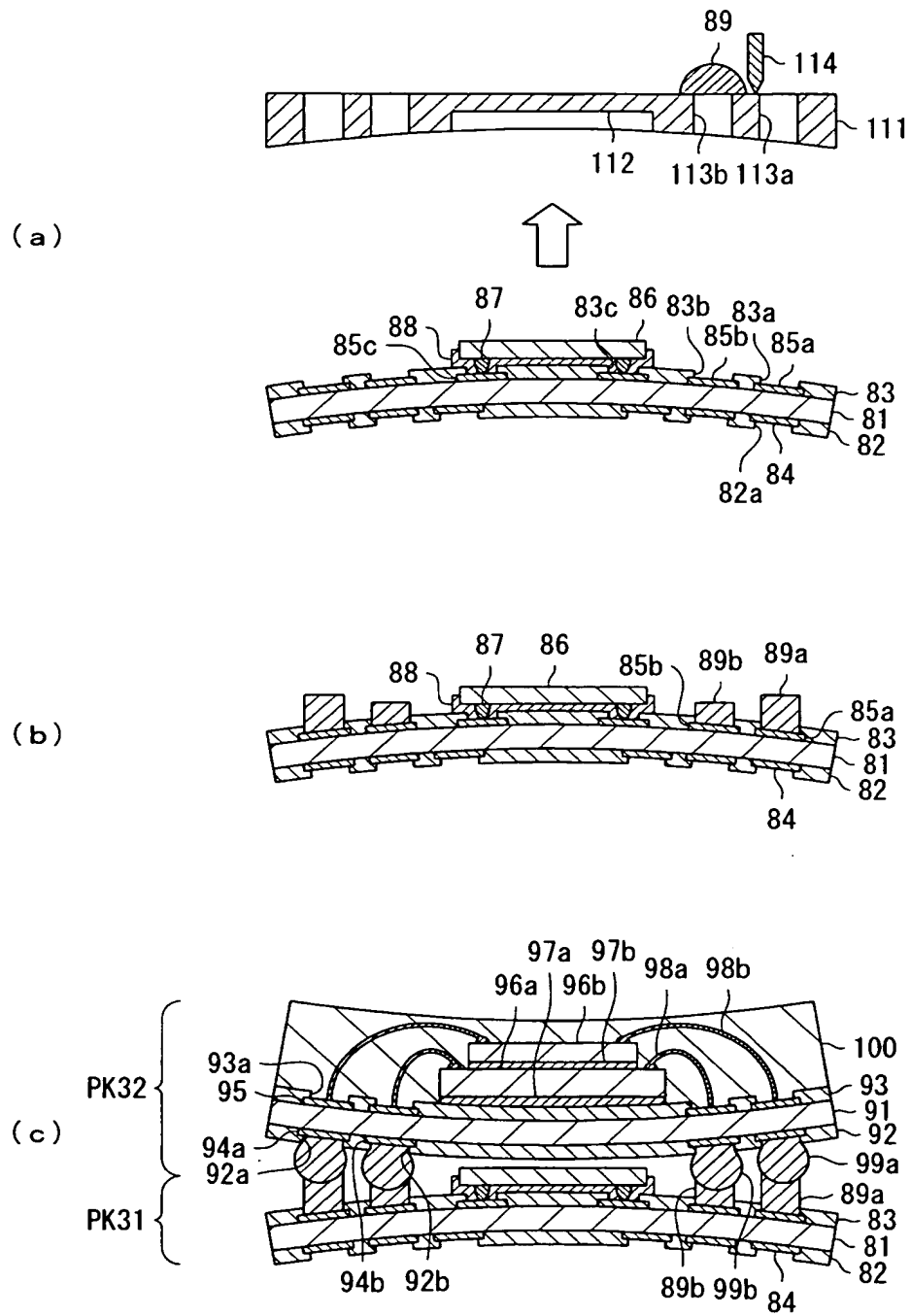
【図 2】



【図 3】

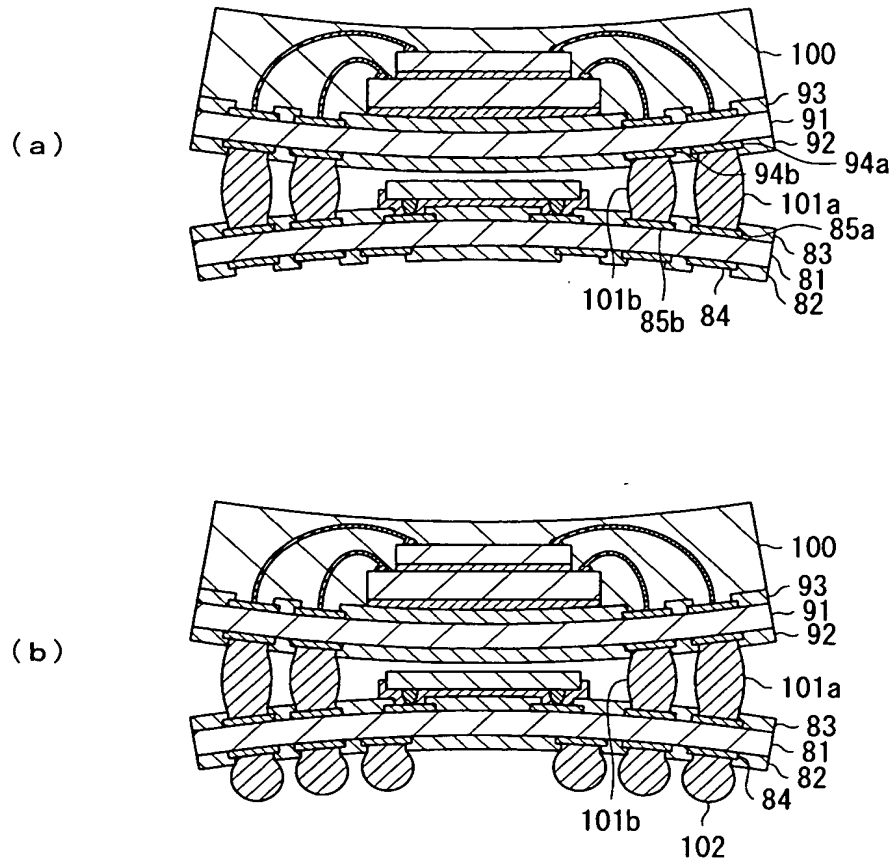


【図 4】

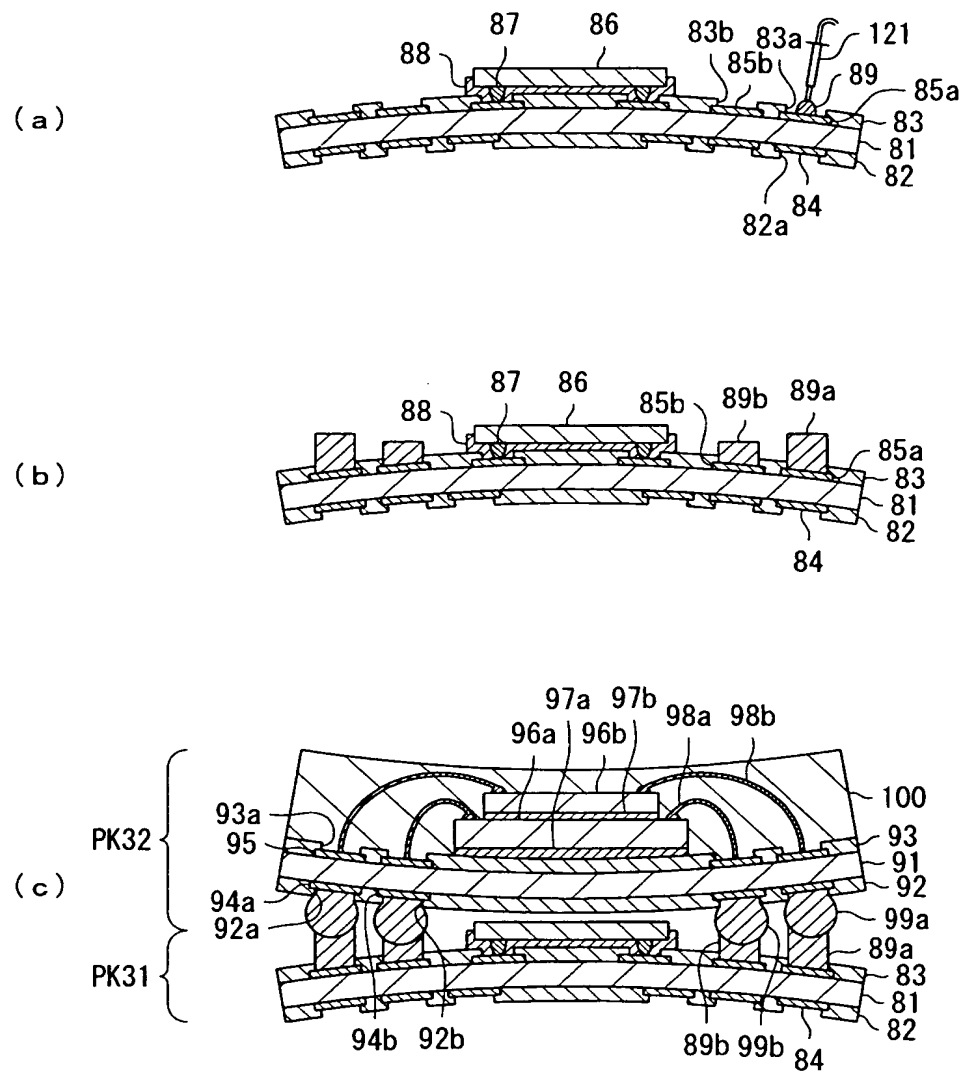




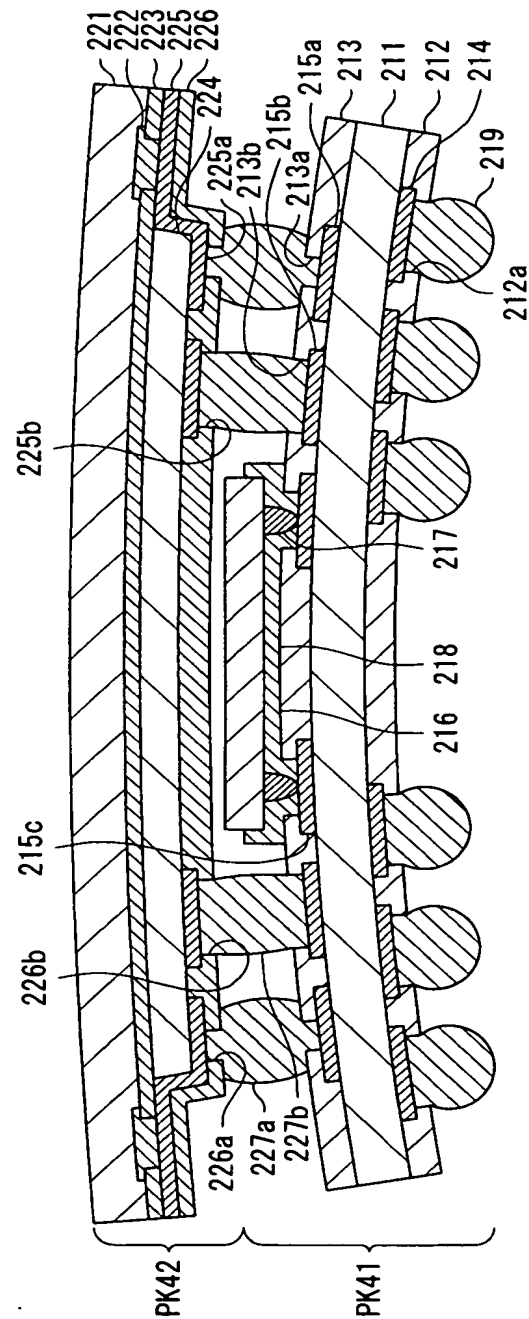
【図 5】



【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 パッケージの反りを考慮しつつ、3次元実装時の接続信頼を向上させる。

【解決手段】 突出電極 29 a、29 b に対応してそれぞれ設けられた開口部 13 a、13 b の開口径を、キャリア基板 11 の中央部から外周部に向かって徐々に小さくなるように設定するとともに、突出電極 29 a、29 b にそれぞれ対応して設けられた開口部 22 a、22 b の開口径を、キャリア基板 21 の中央部から外周部に向かって徐々に小さくなるように設定する。

【選択図】 図 1

特願 2 0 0 3 - 0 8 1 2 2 1

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 2 3 6 9 ]

1. 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名

セイコーエプソン株式会社